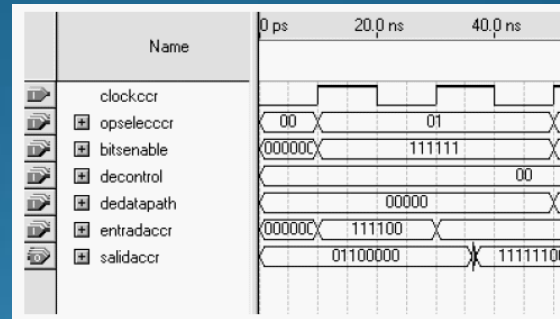




```
library ieee;  
use ieee.std_logic_1164.all;  
use ieee.std_logic_arith.all;  
use ieee.std_logic_unsigned.all;
```

```
entity IR is  
  Port ( entradair : in std_logic_vector(7 downto 0);  
        salidair : out std_logic_vector(7 downto 0);  
        escribir : in std_logic;  
        clockir : in std_logic);  
end IR;
```



## Diseño y verificación en VHDL de un Microcontrolador de 16 bits, implementado en FPGA.

Sergio Noriega

Días Jueves de 8:15 a 10:15 hs (Sala de Conferencias 1).  
18 y 25 de Agosto y 1, 8 y 15 de Septiembre.

Inscripción: Vía email a: [snoriega@ciop.unlp.edu.ar](mailto:snoriega@ciop.unlp.edu.ar).

El objetivo del mismo es continuar enseñando conceptos de diseño lógico, vistos en la cursada de ISLD, empleando técnicas de descripción en lenguaje de alto nivel como es VHDL y su implementación en circuitos de Lógica Programable tipo FPGA. Como ejemplo de diseño, se desarrolla un microprocesador de 16 bits, al cual se le van adicionando una serie de periféricos para conformar finalmente, un microcontrolador.